

## ⑪公開特許公報(A) 平1-238141

⑫Int.Cl.<sup>4</sup>H 01 L 21/88  
21/90  
21/95

識別記号

庁内整理番号

C-6824-5F  
P-6824-5F

⑬公開 平成1年(1989)9月22日

6824-5F 審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 半導体装置の製造方法

⑮特 願 昭63-66110

⑯出 願 昭63(1988)3月18日

⑰発明者 小林 徹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲代理人 弁理士 井桁 貞一

## 明細書

物とする工程を含むよう構成する。

## 1. 発明の名称

半導体装置の製造方法

## (産業上の利用分野)

## 2. 特許請求の範囲

エッチング処理後に形成された、ショート或いは耐圧不良の原因となる導電材料の残渣を、酸化物とする工程を含むことを特徴とする半導体装置の製造方法。

本発明は、半導体装置の製造方法に係り、特に段差を有する半導体基板上における導電材料のエッチング処理方法の改良に関するものである。

## 3. 発明の詳細な説明

## (概要)

段差を有する半導体基板上における導電材料のエッチング処理方法の改良に關し、

簡単且つ容易に実施し得る工程により、エッチング処理後に形成された、導電材料の残渣により引き起こされる障害の除去を可能にした半導体装置の製造方法の提供を目的とし、

エッチング処理後に形成された、ショート或いは耐圧不良の原因となる導電材料の残渣を、酸化

半導体基板上に設けた段差を有する導電材料のエッチング処理において、異方性のエッチング処理を行った場合に導電材料のエッチング残渣が垂直面に残り、これがショート或いは耐圧不良の原因となっている。

このため、現状では異方性エッチング処理を行った後の後処理として、オーバーエッチング処理を行うか或いは等方性エッチング処理により上記の残渣を除去しているが、エッチャーワークの導電材料と下地との選択比が小さい場合には、下地のつき抜け等の障害が発生している。

以上のような状況から異方性のエッチング処理後に形成された導電材料のエッチング残渣による、ショート或いは耐圧不良を防止することが可能な

半導体装置の製造方法が要望されている。

#### (従来の技術)

従来の半導体装置の製造方法を導電材料がポリシリコンの場合について工程順に第3図により説明する。

先ず第3図(a)に示すように、段差を有する半導体基板21の表面を酸化してシリコン酸化膜22を形成し、その表面にポリシリコン膜25を形成する。

次に第3図(b)に示すように、レジスト膜26を形成し、リソグラフィー技術により図示のようなマスクを形成し、異方性のエッチング処理によりポリシリコン膜25をバーニングする。

この場合、段差の底部のポリシリコン膜25が完全に除去された状態においても、第3図(c)に示すように、段差の側壁に付着したポリシリコン膜25の残渣25aが残る。

このポリシリコン膜25の残渣25aがポリシリコン膜25の間の絶縁膜上に形成された場合には、分離して形成すべきポリシリコン膜25の間のショート

ト或いは耐圧不良の原因となる。

#### (発明が解決しようとする課題)

以上説明の従来の半導体装置の製造方法においては、絶縁膜上に分離して形成すべき導電材料の間の絶縁膜上に、導電材料の残渣が形成されることがあると、この導電材料の残渣が上記の分離して形成すべき導電材料の間のショート或いは耐圧不良の原因となるという問題点があった。

本発明は以上のような状況から簡単且つ容易に実施し得る工程により、エッチング処理後に形成された、導電材料の残渣により引き起こされる障害の除去を可能にした半導体装置の製造方法の提供を目的とするものである。

#### (課題を解決するための手段)

上記問題点は、エッチング処理後に形成された、ショート或いは耐圧不良の原因となる導電材料の残渣を、酸化物とする工程を含む本発明による半導体装置の製造方法によって解決される。

#### (作用)

即ち本発明においては、導電材料膜のエッチング処理を行った後、絶縁膜上に分離して形成すべき導電材料膜の間の絶縁膜上に、導電材料の残渣が形成された場合には、この導電材料の残渣を酸化することにより、導電材料を酸化物にして導電性を失わせることが可能となり、導電材料膜の間のショート或いは耐圧不良を防止することが可能となる。

#### (実施例)

以下第1図～第2図により本発明の一実施例を導電材料がポリシリコンの場合について工程順に説明する。

先ず第1図(a)に示すように、半導体基板1の表面にシリコン酸化膜2を形成し、その上に図示のようにバーニングされたポリシリコンよりなるゲート電極3を形成する。更にその上にシリコン酸化膜4を形成し、その表面にポリシリコン膜5を形成する。

第2図は本実施例の平面図であり、A-A'断面の部分にポリシリコン膜5を残し、B-B'断面の部分のポリシリコン膜5を除去する場合、ポリシリコン膜5を残す部分には、第1図(b)に示すようにリソグラフィー技術によりレジスト膜6を形成し、ポリシリコン膜5を除去する部分のレジスト膜6は除去して第1図(c)に示すような状態にして異方性エッチング処理を行う。

この場合第1図(c)に示すように、ポリシリコン膜5を除去すべき部分のシリコン酸化膜4の垂直面にポリシリコンの残渣5aが形成される。

第1図(c)に示す第2図のB-B'断面図に示すように、シリコン酸化膜4の垂直面の表面にポリシリコンの残渣5aが形成されると、A-A'断面のポリシリコン膜5の間のショート或いは耐圧不良の原因となる。

そこで、炉或いは赤外線ランプを用いてこのポリシリコンの残渣5aを熱酸化し、シリコン酸化膜にする。

このようにシリコン酸化膜4の表面にポリシリ

コンの残渣5aが形成されることがある。熱酸化によりポリシリコンをシリコン酸化膜にすることにより、導電性は失われ、ポリシリコン膜5の間のショート或いは耐圧不良を防止し得る。

又、必要であればこのシリコン酸化膜をエッチング処理により除去することも可能である。

本実施例では導電材料がポリシリコンの場合について説明したが、導電材料はポリシリコンのみ限定されるものではなく、酸化物が導電性を失う導電材料であれば、その他の導電材料の使用も可能である。

#### (発明の効果)

以上の説明から明らかなように本発明によれば極めて簡単な工程を追加することにより、導電材料間のショート或いは耐圧不良の原因となる導電材料の残渣を絶縁物である酸化膜とすることが可能であり、又、必要であればこの酸化膜をエッチング処理により除去することも可能である等の利点があり、著しい経済的及び、信頼性向上の効果

が期待でき工業的には極めて有用なものである。

#### 4. 図面の簡単な説明

第1図は本発明による一実施例を工程順に示す

側断面図、

第2図は本発明による一実施例の平面図、

第3図は従来の半導体装置の製造方法を工程順に示す側断面図、

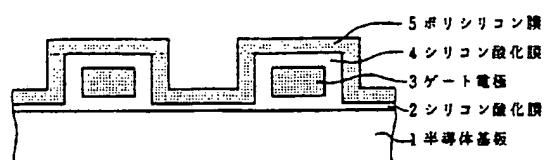
である。

図において、

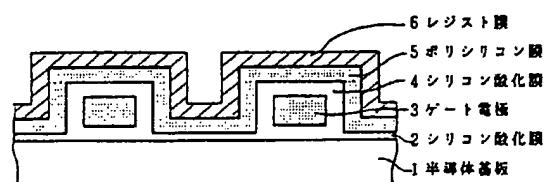
- 1は半導体基板、
- 2はシリコン酸化膜、
- 3はゲート電極、
- 4はシリコン酸化膜、
- 5はポリシリコン膜、
- 5aは残渣、
- 6はレジスト膜、

を示す。

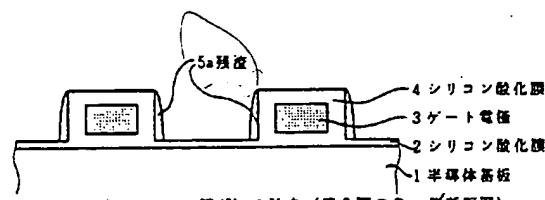
代理 人 弁理士 井 桂 貞 一



(a) シリコン酸化膜(2)、ゲート電極(3)、シリコン酸化膜(4)及びポリシリコン膜(5)の形成(第2図のA-A'断面図)



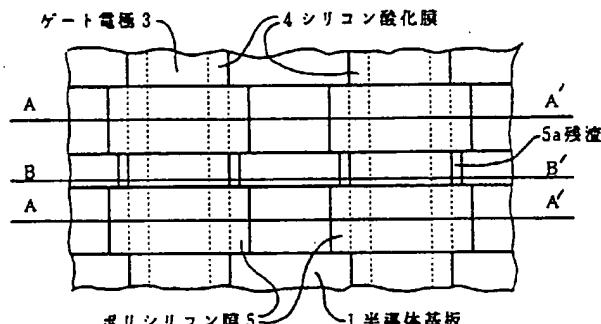
(b) レジスト膜(6)の形成



(c) ポリシリコン膜(5)の除去(第2図のB-B'断面図)

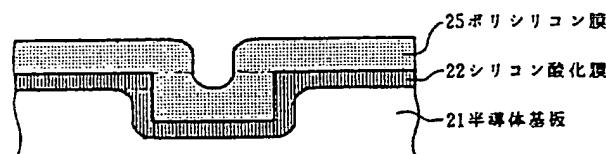
本発明による一実施例を工程順に示す側断面図

第1図



本発明による一実施例の平面図

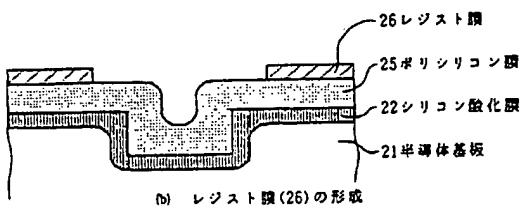
第2図



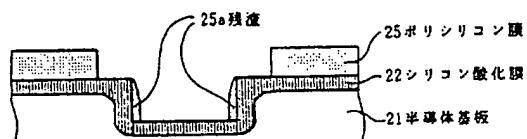
(a) シリコン酸化膜(22)及びポリシリコン膜(25)の形成

従来の半導体装置の製造方法を工程順に示す側断面図

第3図



(b) レジスト膜(26)の形成



(c) ポリシリコン膜(25)のエッティング処理及びレジスト膜(26)の除去

従来の半導体装置の製造方法を工程順に示す側断面図

第 3 図

PAT-NO: JP401238141A

DOCUMENT-IDENTIFIER: JP 01238141 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 22, 1989

INVENTOR-INFORMATION:

NAME

KOBAYASHI, TORU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP63066110

APPL-DATE: March 18, 1988

INT-CL (IPC): H01L021/88, H01L021/90, H01L021/95

US-CL-CURRENT: 148/DIG.117, 148/DIG.131, 438/978, 438/FOR.458,  
438/FOR.479

ABSTRACT:

PURPOSE: To remove the conductivity of a conductive material, and to prevent short-circuiting between conductive material films or deterioration in breakdown voltage by turning the residue of the conductive material being shaped after etching treatment and having the possibility of causing the short circuit or defective breakdown strength into an oxide.

CONSTITUTION: A resist film 6 is formed through a lithographic technique, and the resist film 6 in a section, from which a polysilicon film 5 is removed,

is removed and anisotropic etching treatment is executed. The residue 5a of polysilicon is shaped onto the vertical surfaces of an silicon oxide film 4 in the section, from which the polysilicon film 5 must be formed, at that time. The residue 5a of the polysilicon is thermally oxidized by using a furnace or an infrared lamp, and polysilicon is changed into the silicon oxide film, thus removing its conductivity, then preventing a short circuit between the polysilicon films 5 or poor breakdown strength.

COPYRIGHT: (C)1989,JPO&Japio